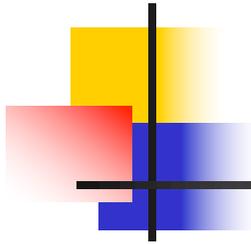


Chapitre 2

Modélisation de Fautes

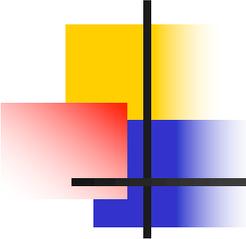
Arnaud Virazel

virazel@lirmm.fr



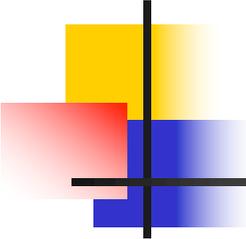
Plan

- **Généralités**
- Caractérisation des défauts
- Modélisation des défauts
 - Collage
 - Court circuit
 - Fautes de délais
- Equivalence de fautes
- Notions de test



Comment Obtenir une Séquence de Test ?

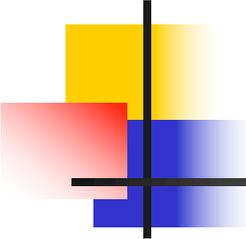
- Utiliser une **séquence fonctionnelle** produite pour vérifier le fonctionnement par simulation lors de la phase de conception
 - facile à trouver
 - plus difficile à valider
 - encore plus difficile à améliorer



Comment Obtenir une Séquence de Test ?

- Appliquer une **séquence exhaustive** des entrées
 - Beaucoup trop long
 - Exemple
 - Un circuit possédant 64 entrées
 - $2^{64} = 18^{18}$ vecteurs
 - Application de la séquence à 1 GHz
 - Environ 585 années sont nécessaires pour appliquer la séquence

⇒ Test structurel – Utilisation d'un modèle de faute

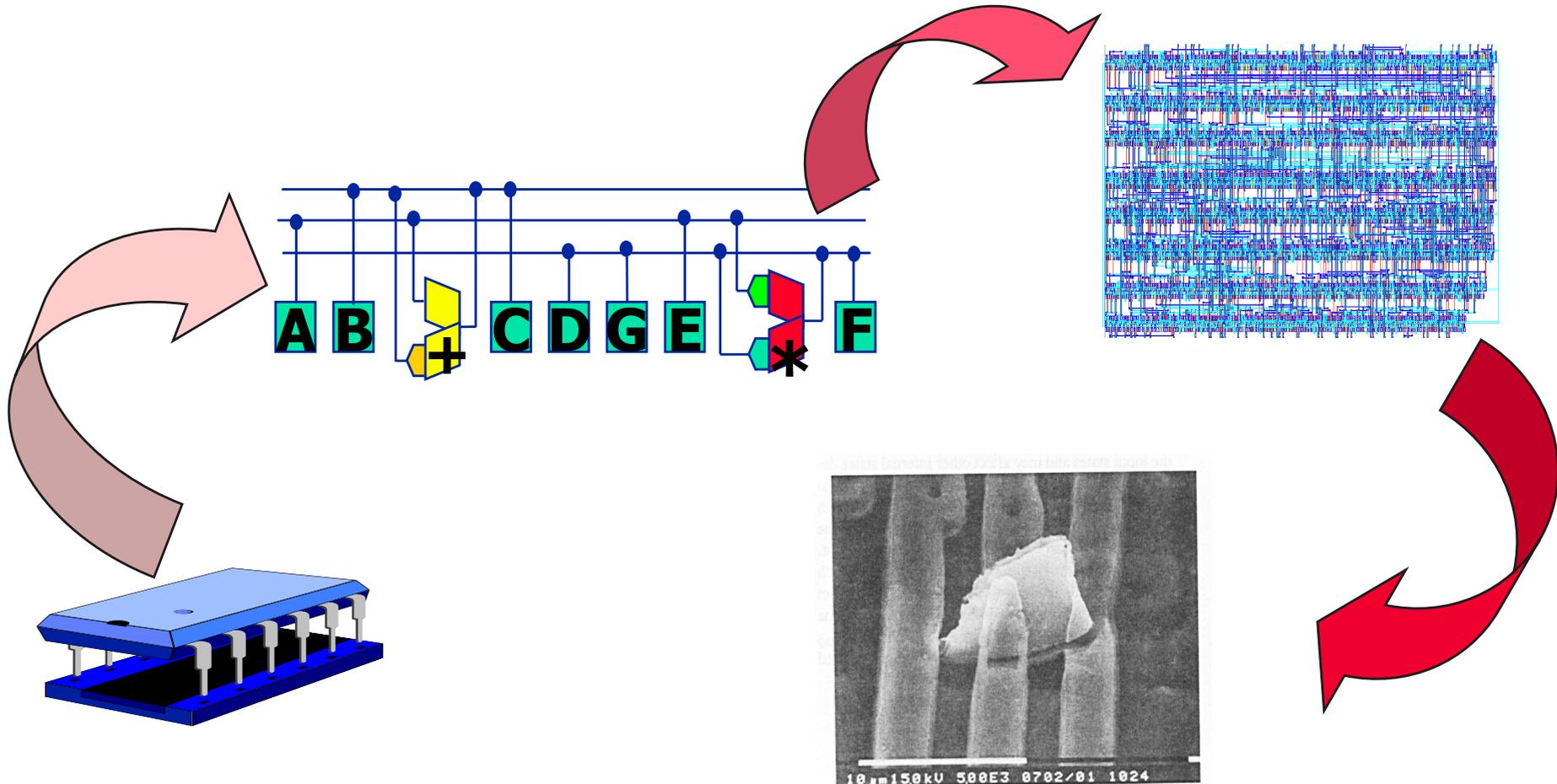


Comment Obtenir une Séquence de Test ?

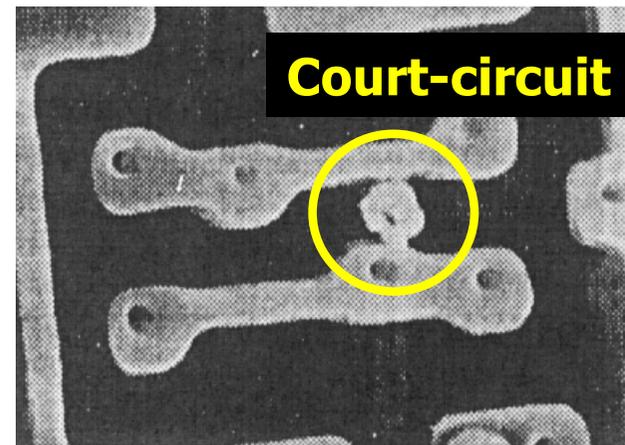
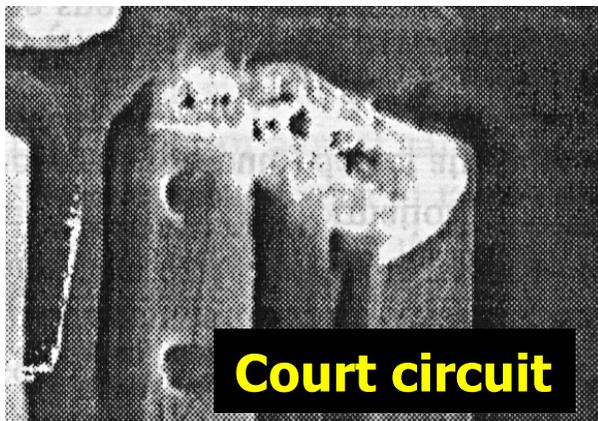
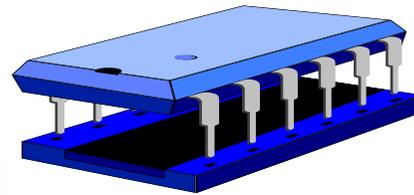
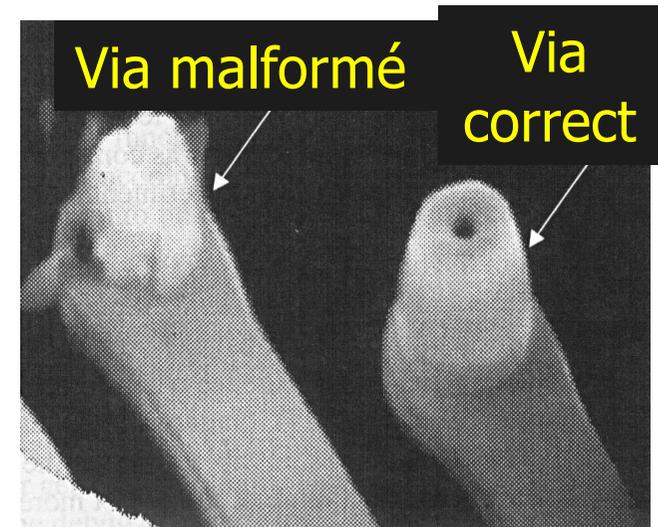
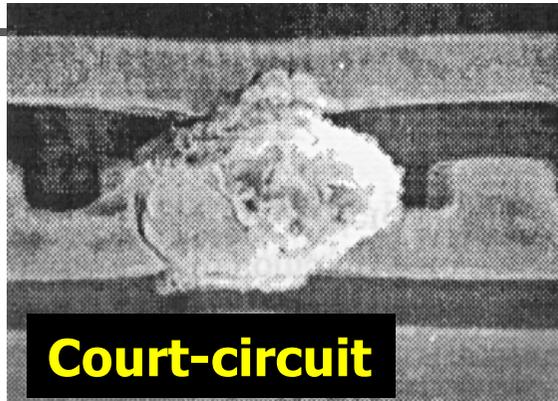
- **Test Structurel** : Utiliser un **modèle de faute**, l'appliquer au circuit et essayer de détecter toutes les fautes
 - Validité du modèle
 - taux de couverture et "defect level"
 - Outils de génération

Que tester ?

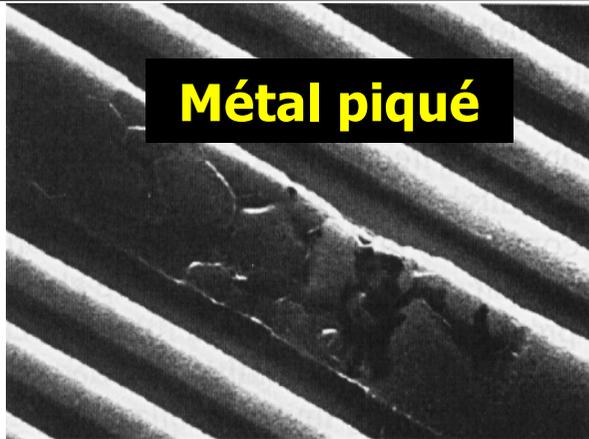
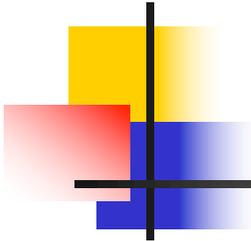
- Défaillances dans le processus de fabrication



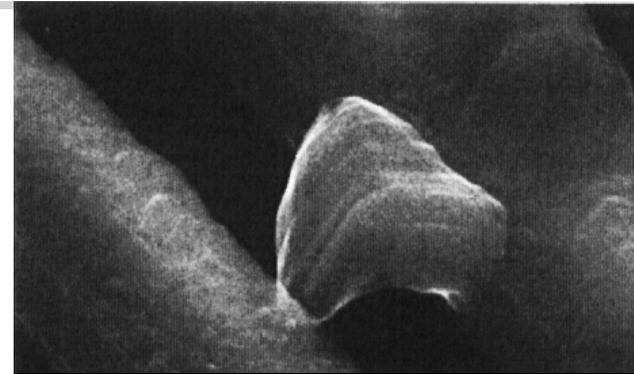
Défaillances dans le Processus de Fabrication



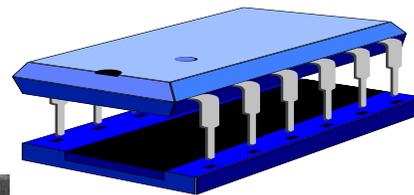
Défaillances dans le Processus de Fabrication



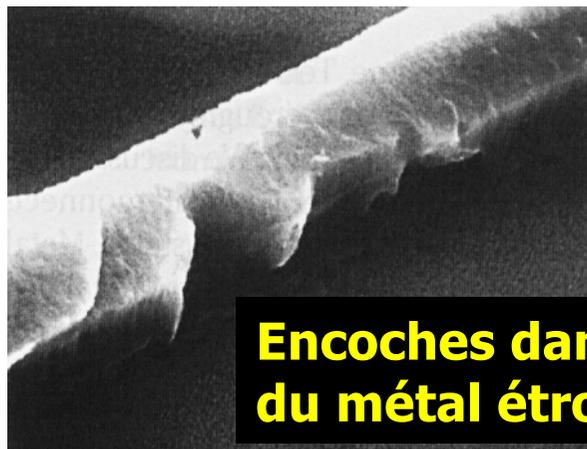
Métal piqué



Extrusion d'aluminium à travers la passivation



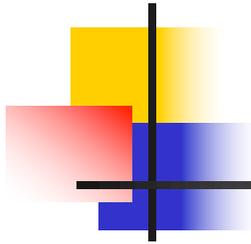
Phénomènes d'électromigration



Encoches dans du métal étroit

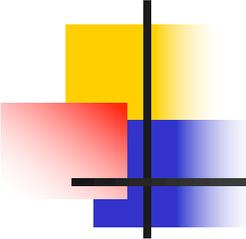


longue fracture de fatigue du diélectrique



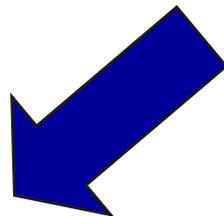
Plan

- Généralités
- **Caractérisation des défauts**
- Modélisation des défauts
 - Collage
 - Court circuit
 - Fautes de délais
- Equivalence de fautes
- Notions de test

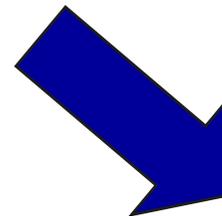


Mécanismes de Défaillance

- Défauts du wafer (contamination, micro-crevasse)
- Erreurs humaines (interactions humaines avec le processus de production)
- Défaillance d'équipements (utilisation de maintenance préventive)
- Impact de l'environnement (contaminations diverses, vibrations, ..)
- Instabilités du processus technologique de production



DEFAUTS GLOBAUX

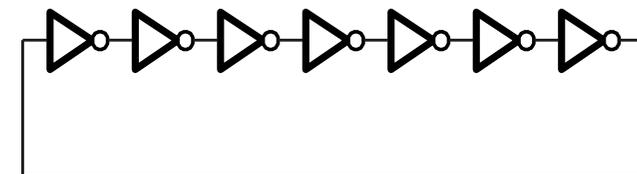
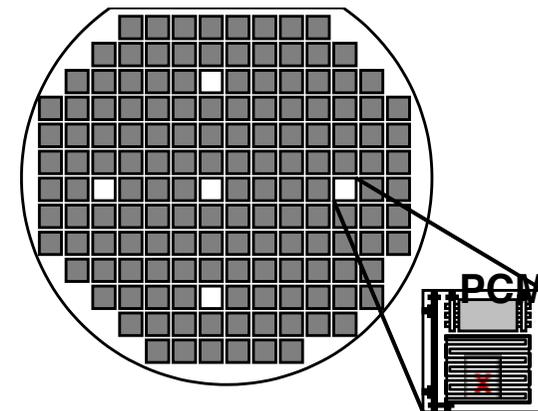


DEFAUTS LOCAUX

Monitoring des Défaits Globaux

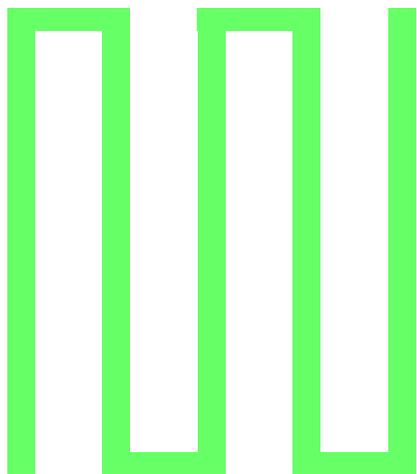
- Utilisation de PCM ("Process Control Monitor")
 - composés de structures de base (transistors, lignes de conducteur, chaîne de vias, ...)
 - distribués sur le wafer (éventuellement placés sur les lignes de découpe)

- Utilisation d'oscillateur en anneau
 - monitoring de paramètres de haut niveau
 - fréquence d'oscillation fonction des paramètres de plus bas niveau du processus technologique
 - résultats peuvent être mal interprétés

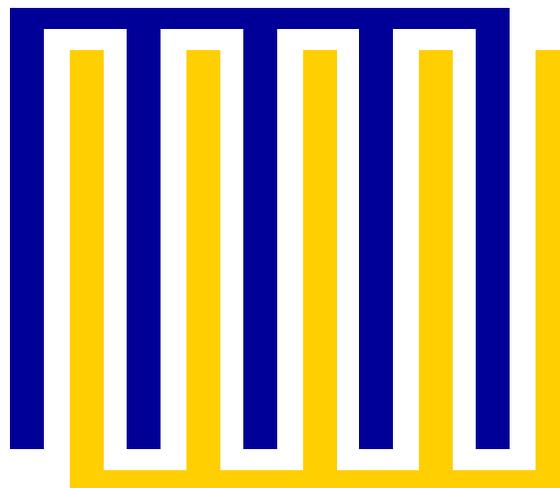


Monitoring des Défaits Locaux

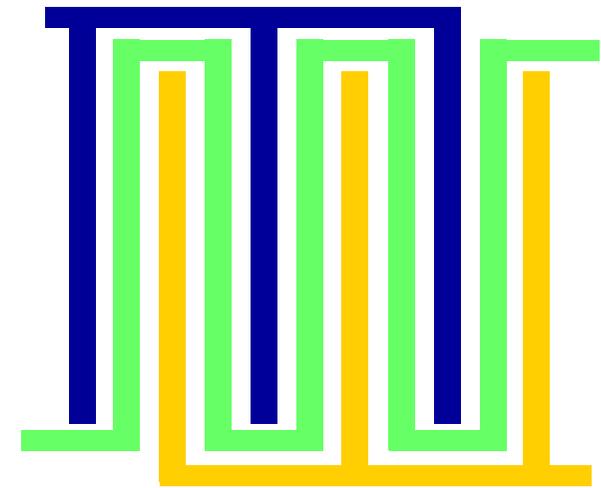
- Monitoring en ligne par inspection à différentes étapes du processus de fabrication (surfscan, réflectométrie, évaluation d'image, ...)
- Moniteurs d'oxyde de grille (combinaison de condensateurs de différentes formes et tailles, mesure de courant de fuite et de capacités)
- Moniteurs d'interconnexions



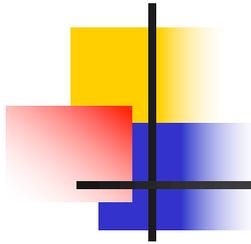
Méandre



Double peigne

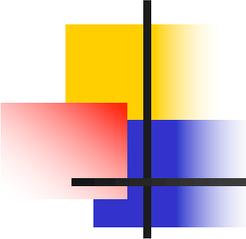


Méandre+ peignes



Plan

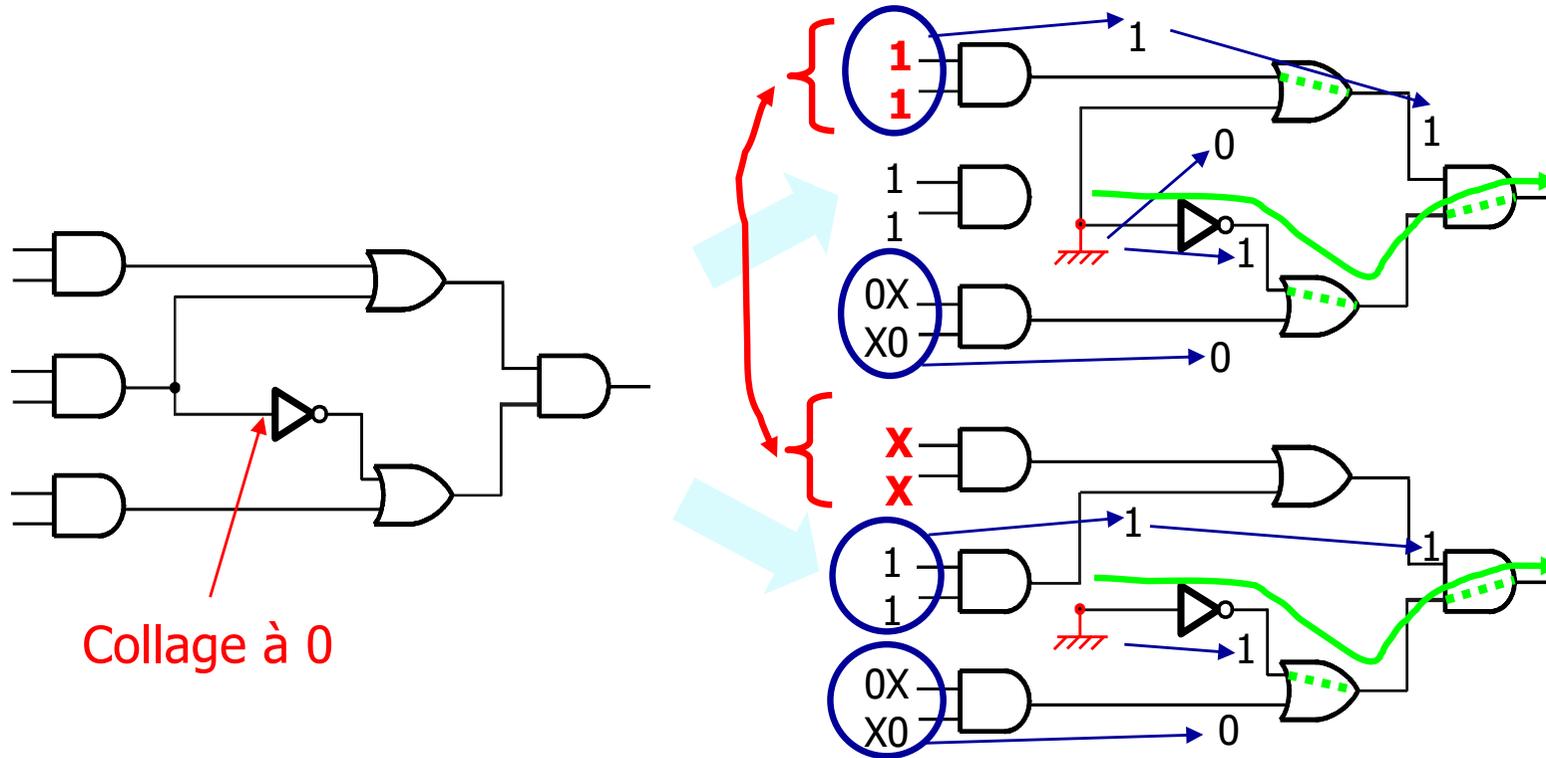
- Généralités
- Caractérisation des défauts
- **Modélisation des défauts**
 - Collage
 - Court circuit
 - Fautes de délais
- Equivalence de fautes
- Notions de test



Le Modèle de Collage Simple

- Avec le modèle de collage, une (**et une seule**) ligne de la description est collée de manière permanente à la valeur 0 ou à la valeur 1
- On utilise parfois uniquement le collage des ports d'entrée et de sortie des modules (ces deux modèles sont équivalents sauf en cas de divergence)

Le Modèle de Collage Simple



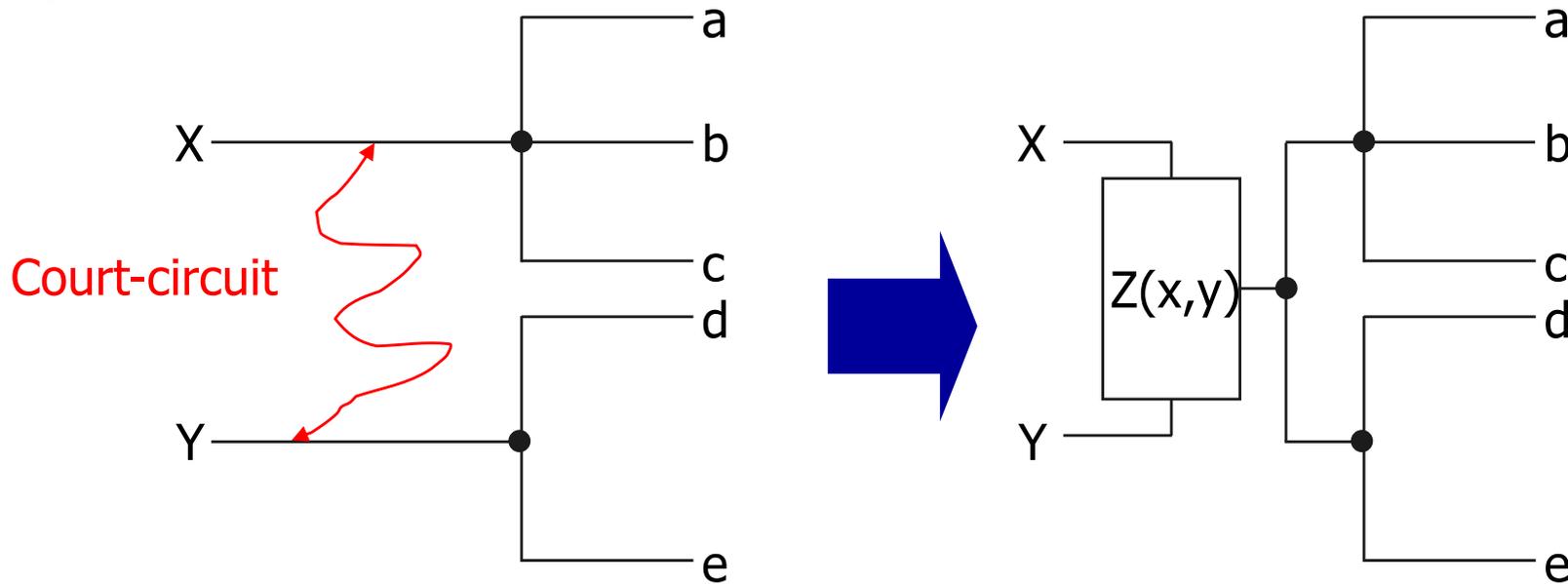
Principales Caractéristiques et Avantages

- Il permet de représenter de nombreux défauts physiques différents
- Il est indépendant de la technologie
- Il permet d'utiliser l'algèbre booléenne pour trouver les vecteurs de test
- Les vecteurs de test générés avec ce modèle de collage détectent aussi d'autres défauts
- L'ensemble des fautes obtenu avec ce modèle est limité
- Le Taux de Couverture (**TC**) associé à ce modèle de fautes est une métrique admise entre fournisseurs et clients

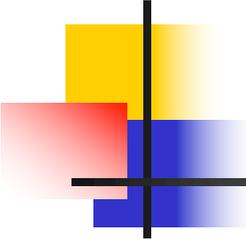
$$TC = \frac{\text{Nbre de fautes détectées}}{\text{Nbre de fautes total}}$$

- Le modèle de collage peut être utilisé pour modéliser d'autres types de fautes

Le Modèle de "Bridging Fault"



- $Z(x,y) = z$
 - $Z(0,1) = 0$ correspond au modèle de **ET câblé**
 - $Z(0,1) = 1$ correspond au modèle de **OU câblé**

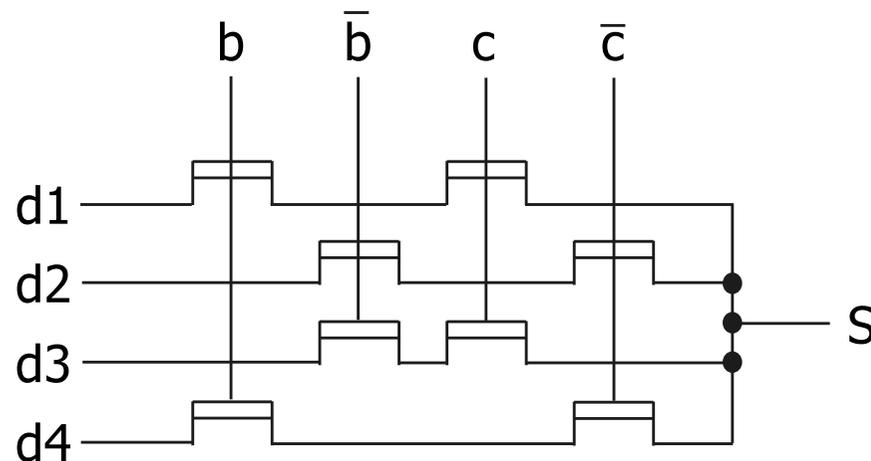


Caractéristiques Principales

- Introduit à l'origine pour les technologies TTL et ECL
- Généralement appliqué sur une description à portes, le court-circuit est défini entre les sorties de portes et/ou les entrées primaires (pas de différence entre racine et branches de divergence)
- S'il existe un chemin fonctionnel entre les deux extrémités du court-circuit, celui-ci crée une boucle de contre-réaction (transformant par exemple un circuit combinatoire en circuit séquentiel avec possibilité d'oscillations)
- Les fautes de court-circuit multiples ont également été introduites (uniquement au niveau théorique)
- Le modèle de "bridging fault" n'est pas très bien adapté pour les technologies CMOS pour lesquelles la fonction $Z(x,y)$ ne correspond pas toujours à une valeur logique

Inadaptation du Modèle de Collage

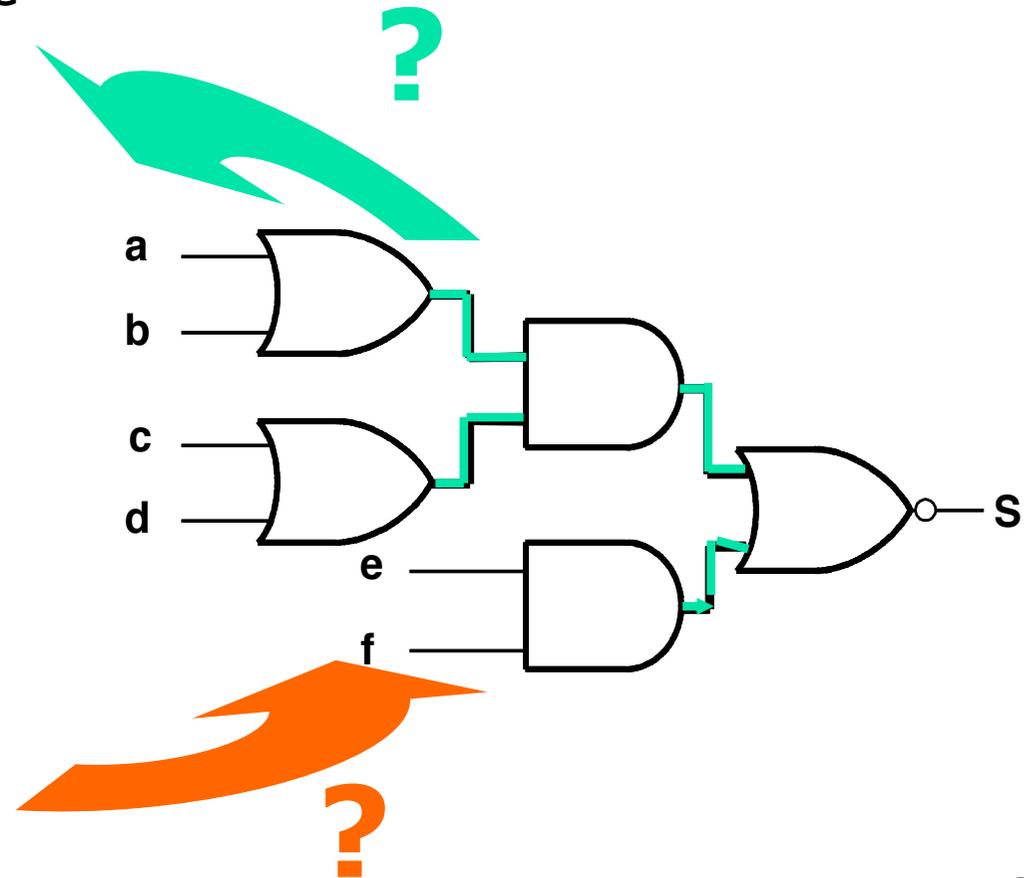
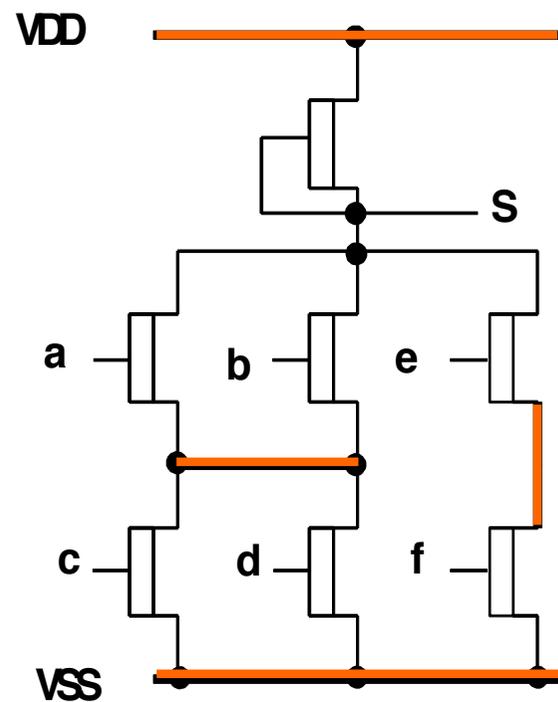
- Problèmes dus à la modélisation au niveau porte
 - Utilisation du transistor interrupteur dans une logique à relais

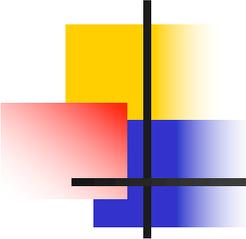


Fonction multiplexage

Inadaptation du Modèle de Collage

- Non correspondance entre la description à porte et la description électrique



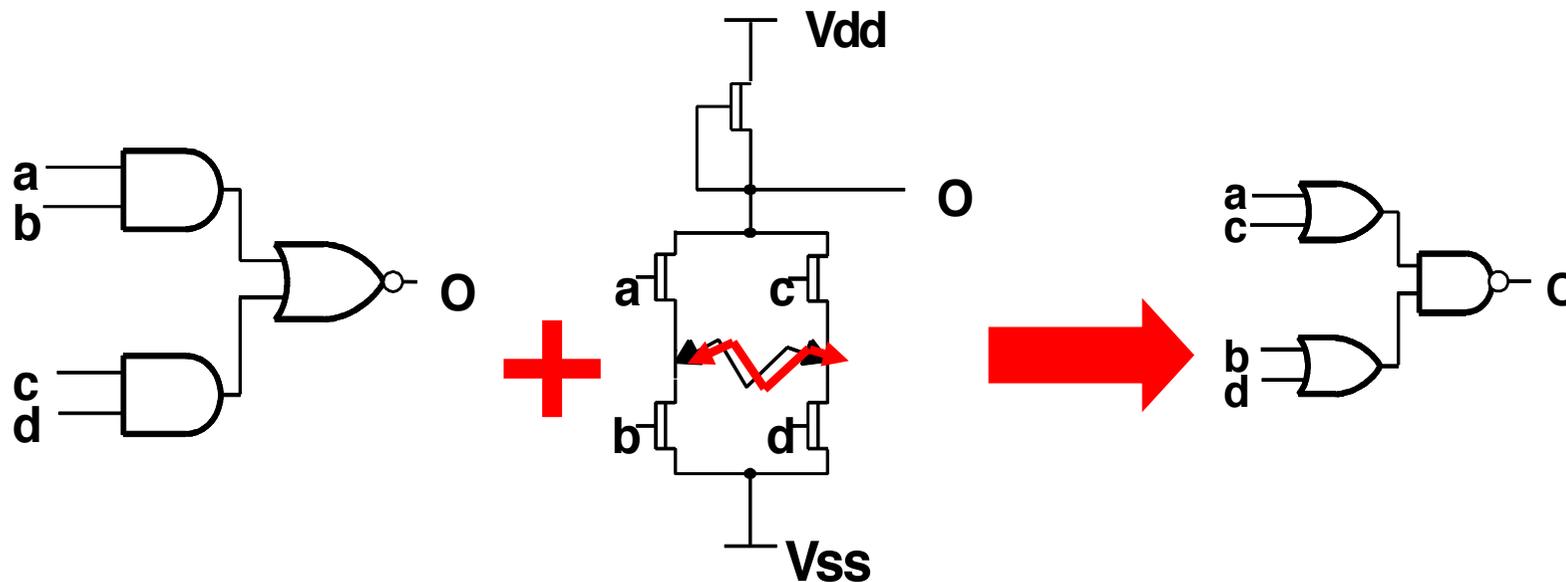


Inadaptation du Modèle de Collage

- Problèmes dus à la nature des défauts
 - Les conséquences électriques principales des défauts physiques dans les technologies CMOS se manifestent le plus souvent par des courts-circuits et des circuits ouverts
 - Ces perturbations peuvent entraîner des dysfonctionnements du circuit tels que
 - modifications de la fonction logique réalisée par le circuit,
 - effet mémoire
 - comportement analogique
 - Dans la plupart des cas, ces dysfonctionnements ne sont pas modélisables par des fautes de collage

Inadaptation du Modèle de Collage

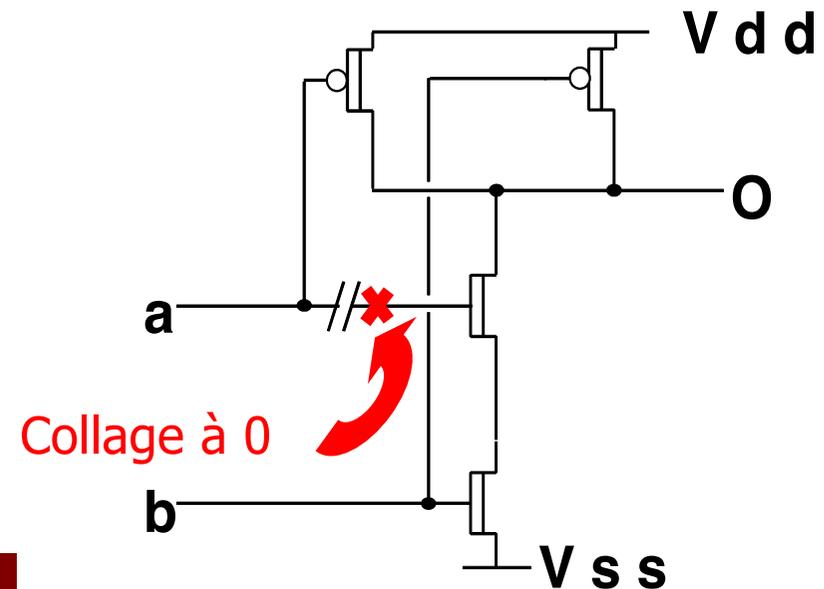
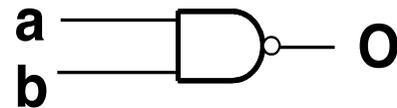
- Modification de la fonction logique



<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>O</i>	<i>Collage détectés</i>	<i>O (avec le CC)</i>
0	1	0	1	1	Sa1(a) Sa1(c)	1
1	0	1	0	1	Sa1(b) Sa1(d)	1
1	1	0	X	0	Sa0(a) Sa0(b)	0
0	X	1	1	0	Sa0(c) Sa0(d)	0

Inadaptation du Modèle de Collage

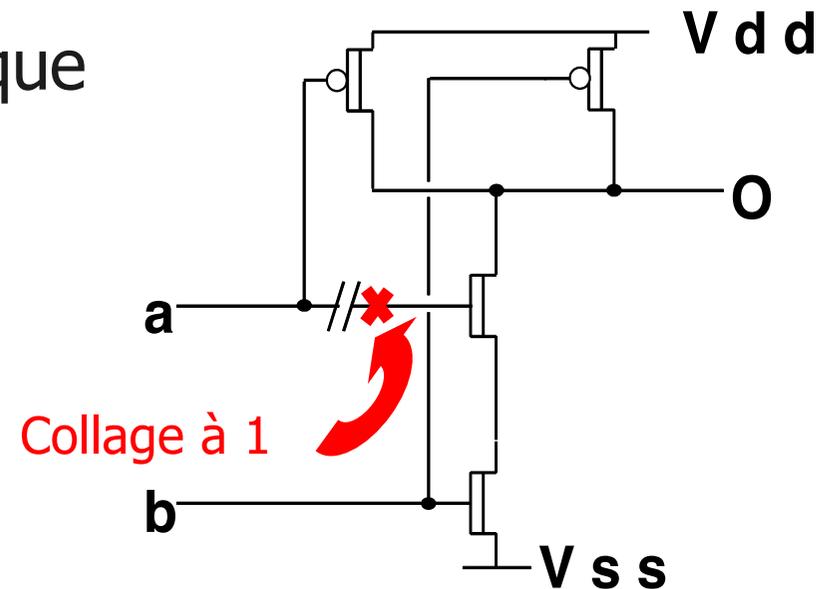
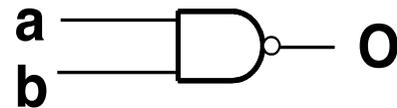
- Effet mémoire



	<i>a</i>	<i>b</i>	<i>O</i>	<i>O (avec la faute)</i>
<i>V1</i>	0	0	1	1
<i>V2</i>	0	1	1	1
<i>V3</i>	1	0	1	1
<i>V4</i>	1	1	0	?

Inadaptation du Modèle de Collage

- Comportement analogique



	<i>a</i>	<i>b</i>	<i>O</i>	<i>O (avec la faute)</i>
V1	0	0	1	1
V2	0	1	1	?
V3	1	0	1	1
V4	1	1	0	0

Valeur intermédiaire dépendant de la résistance passante des transistors

Inadaptation du Modèle de Collage

Valeur intermédiaire dépendant de la
résistance passante des transistors



Valeur logique erronée :

- Possibilité de détection par un test logique classique
- Augmentation du courant consommé ("IDDQ testing")

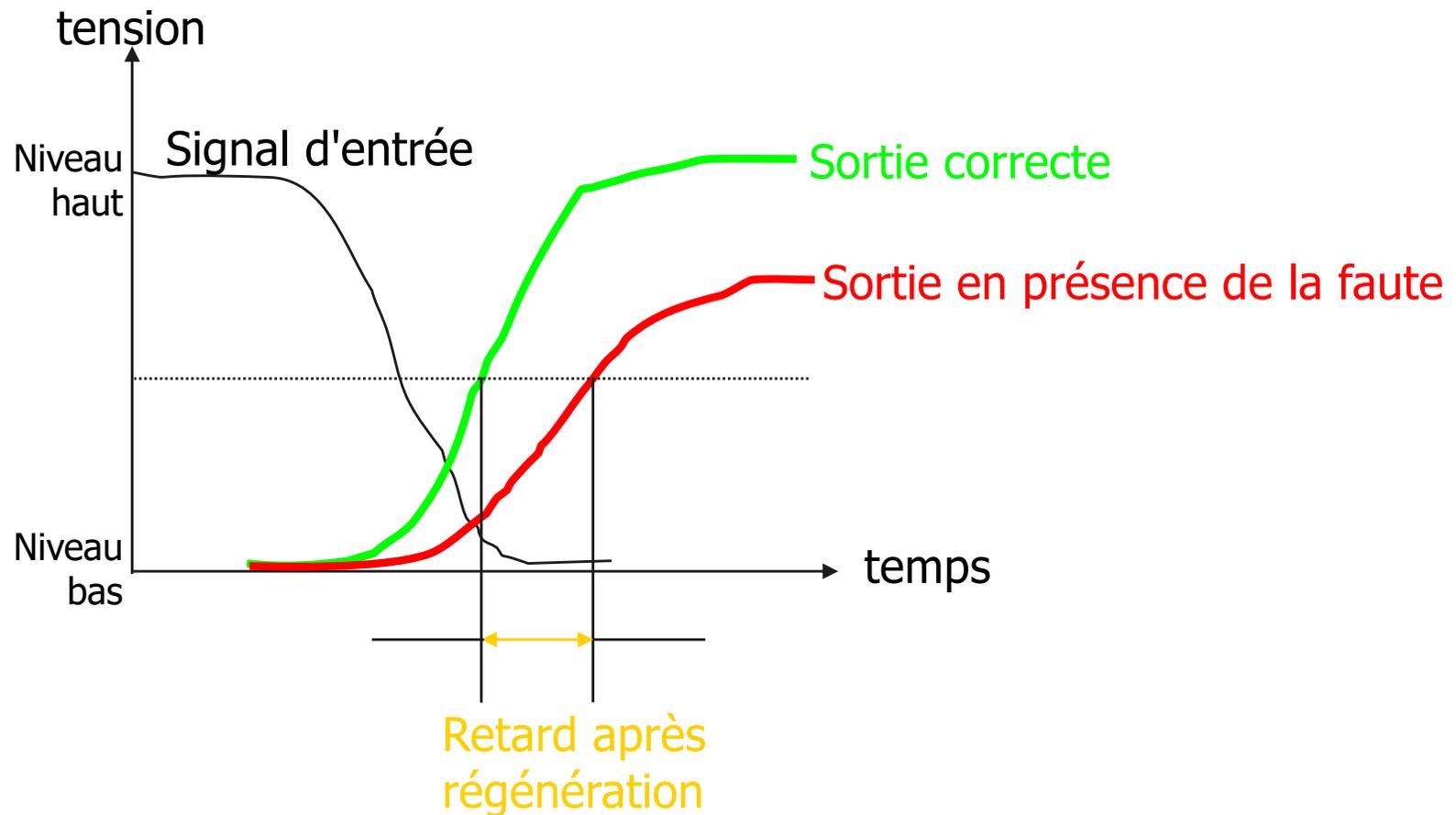


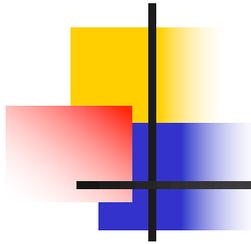
Valeur logique correcte :

- Pas d'erreur logique détectable en statique
- Augmentation du courant consommé ("IDDQ testing")
- Fautes de délais après régénération du signal par les éléments avals

Inadaptation du Modèle de Collage

Faute de délai



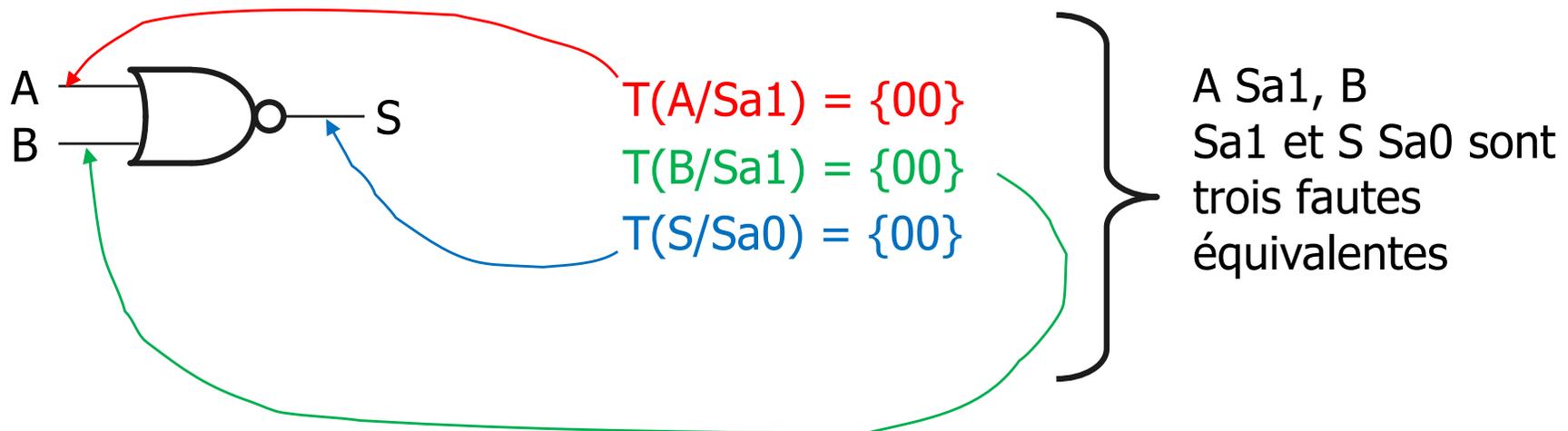


Plan

- Généralités
- Caractérisation des défauts
- Modélisation des défauts
 - Collage
 - Court circuit
 - Fautes de délais
- **Equivalence de fautes**
- Notions de test

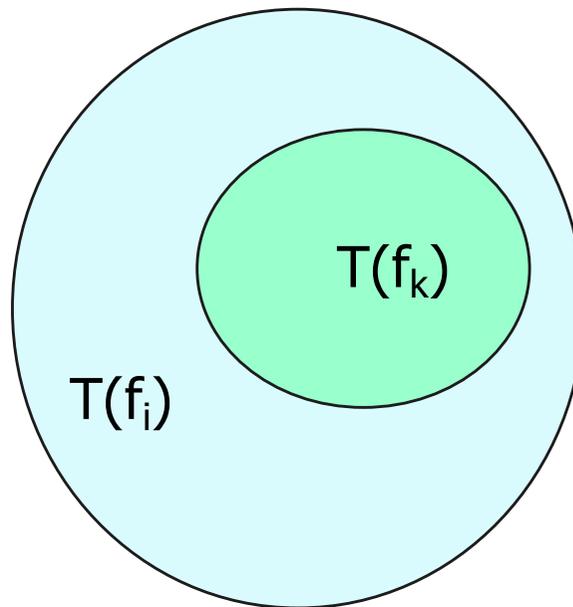
Définition - Equivalence

- Soit $T(f_i)$ l'ensemble de tous les tests qui détectent la faute f_i
- Deux fautes f_i et f_j sont **équivalentes** si et seulement si $T(f_i) \equiv T(f_j)$
- Tout test qui détecte f_i détecte f_j et inversement

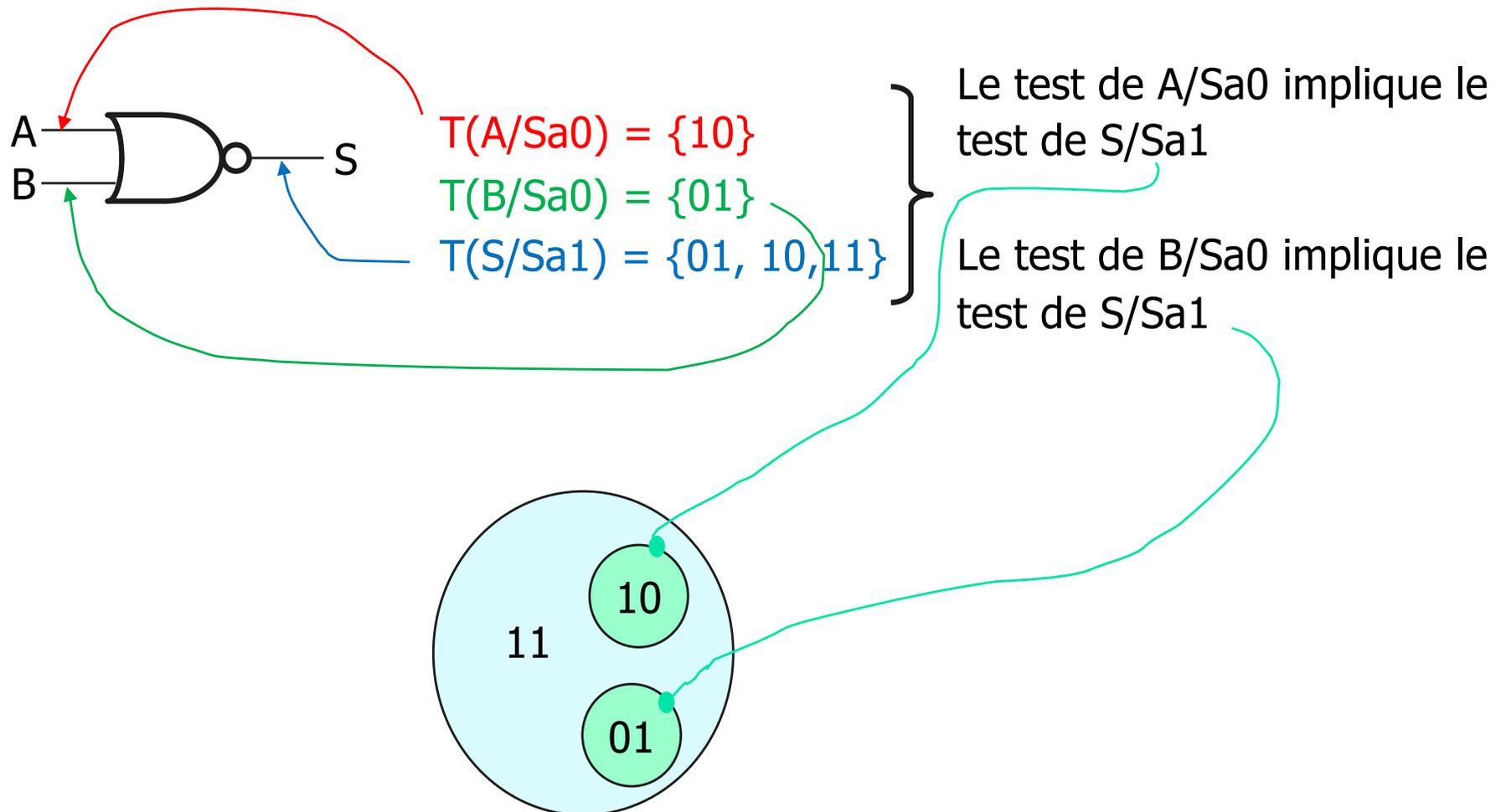


Définition - Implication

- Une faute f_i **domine** la faute f_k si et seulement si $T(f_k) \subset T(f_i)$
- Tout test qui détecte f_k détecte f_i
- On dit aussi que le test de f_k **implique** le test de f_i

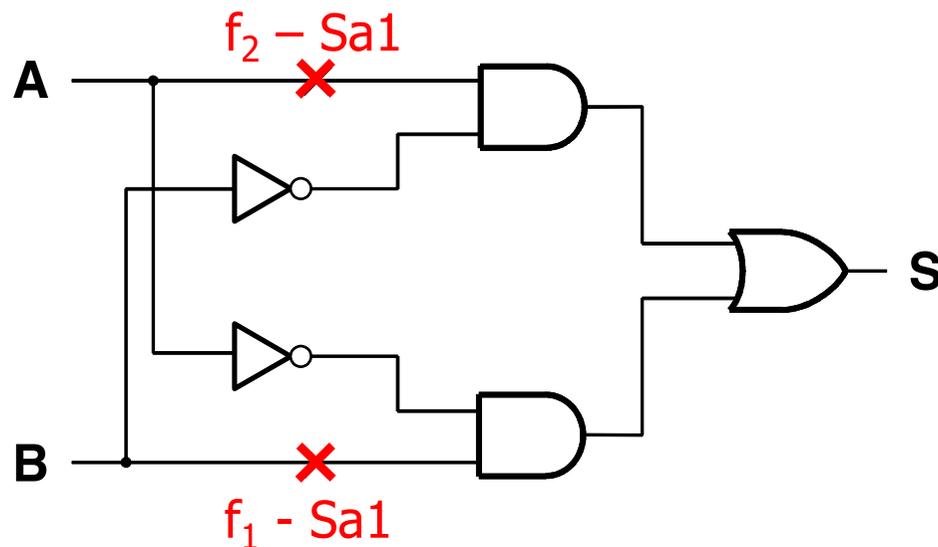


Exemple d'Implication



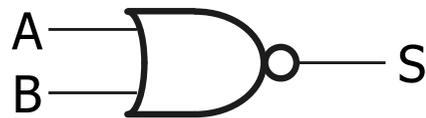
Equivalence de Fautes

- La détermination des fautes équivalentes est un problème NP-difficile
- Uniquement les équivalences structurelles locales peuvent être prises en compte



A	B	S	S avec f_1	S avec f_2
0	0	0	1	1
0	1	1	1	1
1	0	1	1	1
1	1	0	0	0

Niveau Porte



Entrées/sortie			Détection de collage (#)					
A	B	S	Sa0(A)	Sa0(B)	Sa1(A)	Sa1(B)	Sa0(S)	Sa1(S)
0	0	1			#	#	#	
0	1	0		#				#
1	0	0	#					#
1	1	0						#

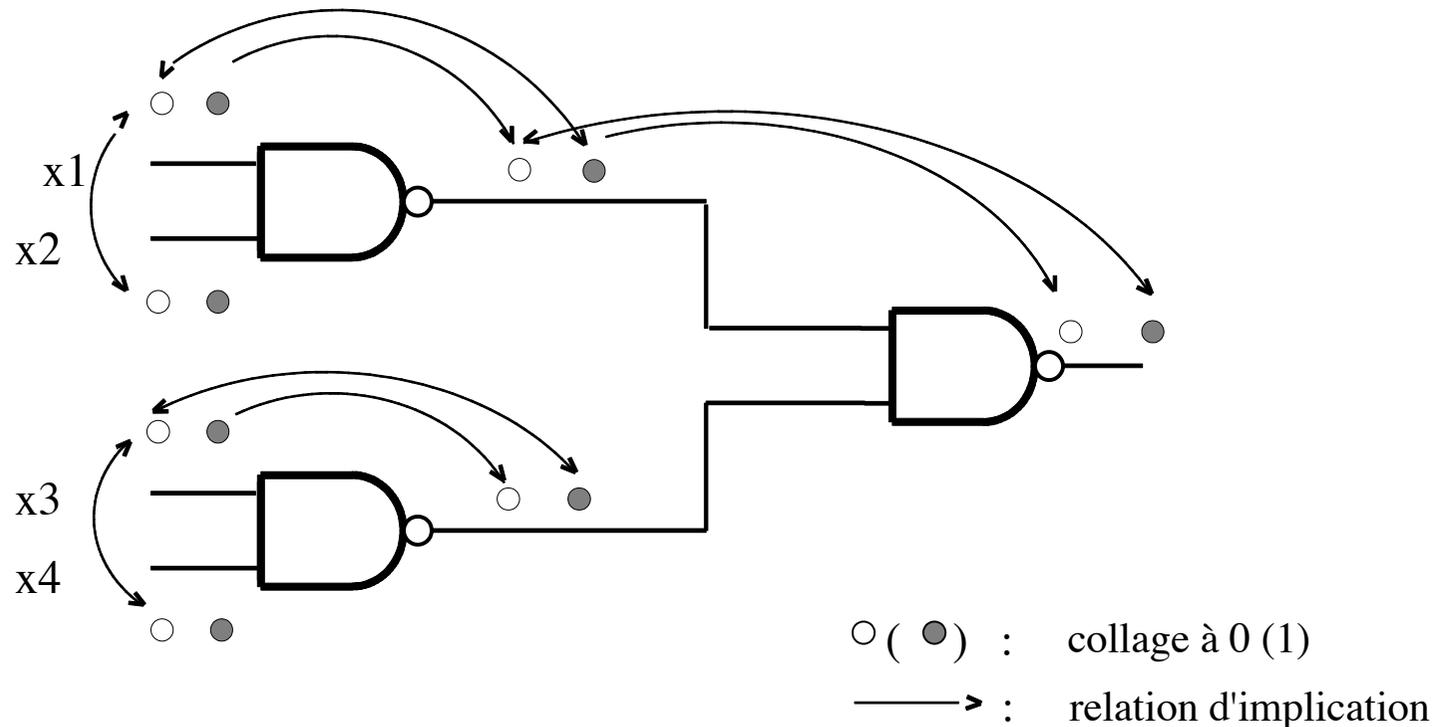
Généralisation

- Pour une porte avec une valeur prioritaire c et une inversion i , toute faute de collage à c d'une entrée est équivalente au collage à $c \oplus i$ (équivalence stricte) de la sortie
- Pour une porte avec une valeur prioritaire c et une inversion i , tout test de la faute de collage à \bar{c} d'une entrée implique le test au collage à $\overline{c \oplus i}$ (implication seulement) de la sortie

Niveau Porte

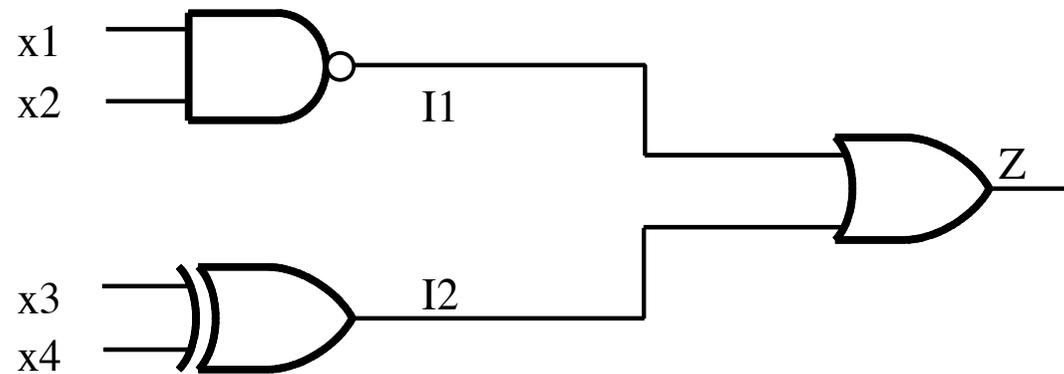
Théorème 1

- Dans un arbre (pas de divergence) combinatoire réalisé avec des portes conventionnelles, tout test détectant toutes les fautes de collage des entrées primaires détecte toutes les fautes de collage



Niveau Porte

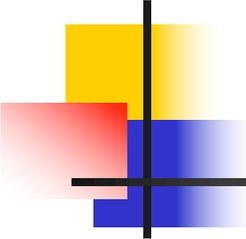
Problème avec les portes OU exclusif



Ensemble de test complet pour le collage des entrées

Détection des collages sur les entrées (#)

x1	x2	x3	x4	SA0(x1)	SA1(x1)	SA0(x2)	SA1(x2)	SA0(x3)	SA1(x3)	SA0(x4)	SA1(x4)	I2
1	0	1	1				#					0
1	1	1	1	#		#		#		#		0
0	1	1	1		#							0
1	1	0	0	#		#			#		#	0

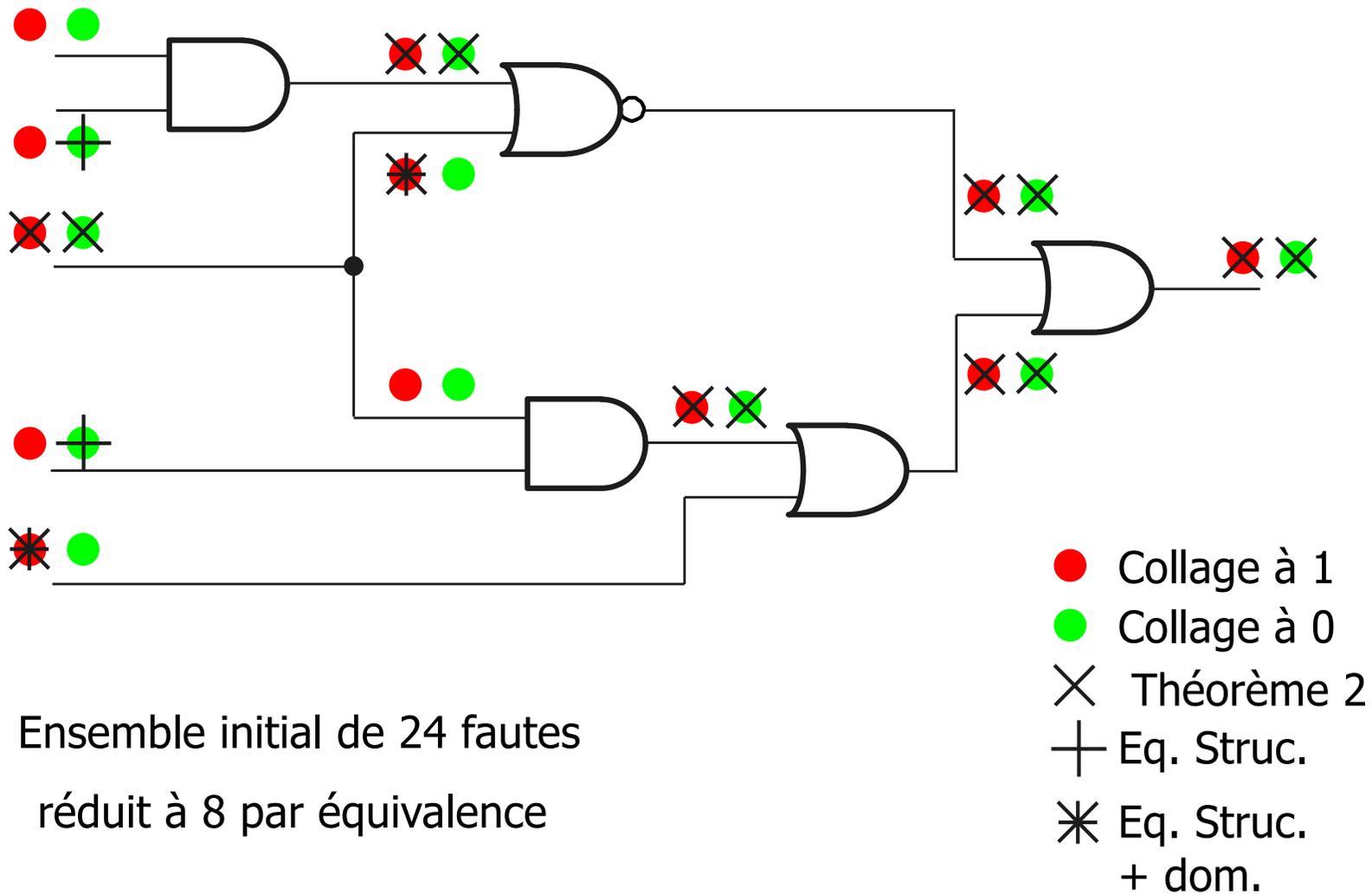


Niveau Porte

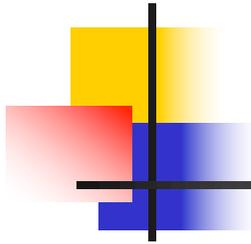
Théorème 2

- Dans un circuit combinatoire réalisé avec des portes conventionnelles, tout test détectant toutes les fautes de collage des entrées primaires et des branches de divergences détecte toutes les fautes de collage
- Les entrées primaires et les branches de divergence sont appelés "*checkpoints*"
- L'ensemble des "*checkpoints*" peut encore être réduit en utilisant des relations au niveau porte

Exemple

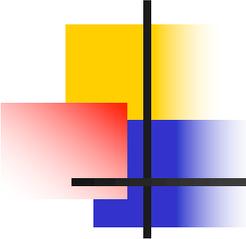


Ensemble initial de 24 fautes
réduit à 8 par équivalence



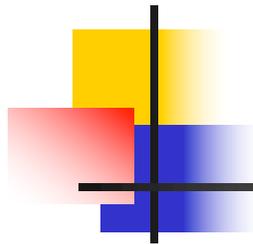
Plan

- Généralités
- Caractérisation des défauts
- Modélisation des défauts
 - Collage
 - Court circuit
 - Fautes de délais
- Equivalence de fautes
- **Notions de test**



Notions de Test

- Sensibilisation
 - Appliquer la valeur logique sensibilisant la faute
⇒ 0(1) pour un Sa1 (0)
- Propagation
 - Ouvrir un chemin de propagation non-masquant (valeur non prioritaire sur les portes) afin d'observer l'effet de faute sur un point observable (une sortie primaire)
- Justification
 - Justifier jusqu'aux entrées primaires l'ensemble des valeurs logiques fixées durant les étapes de sensibilisation et propagation



Exemple

